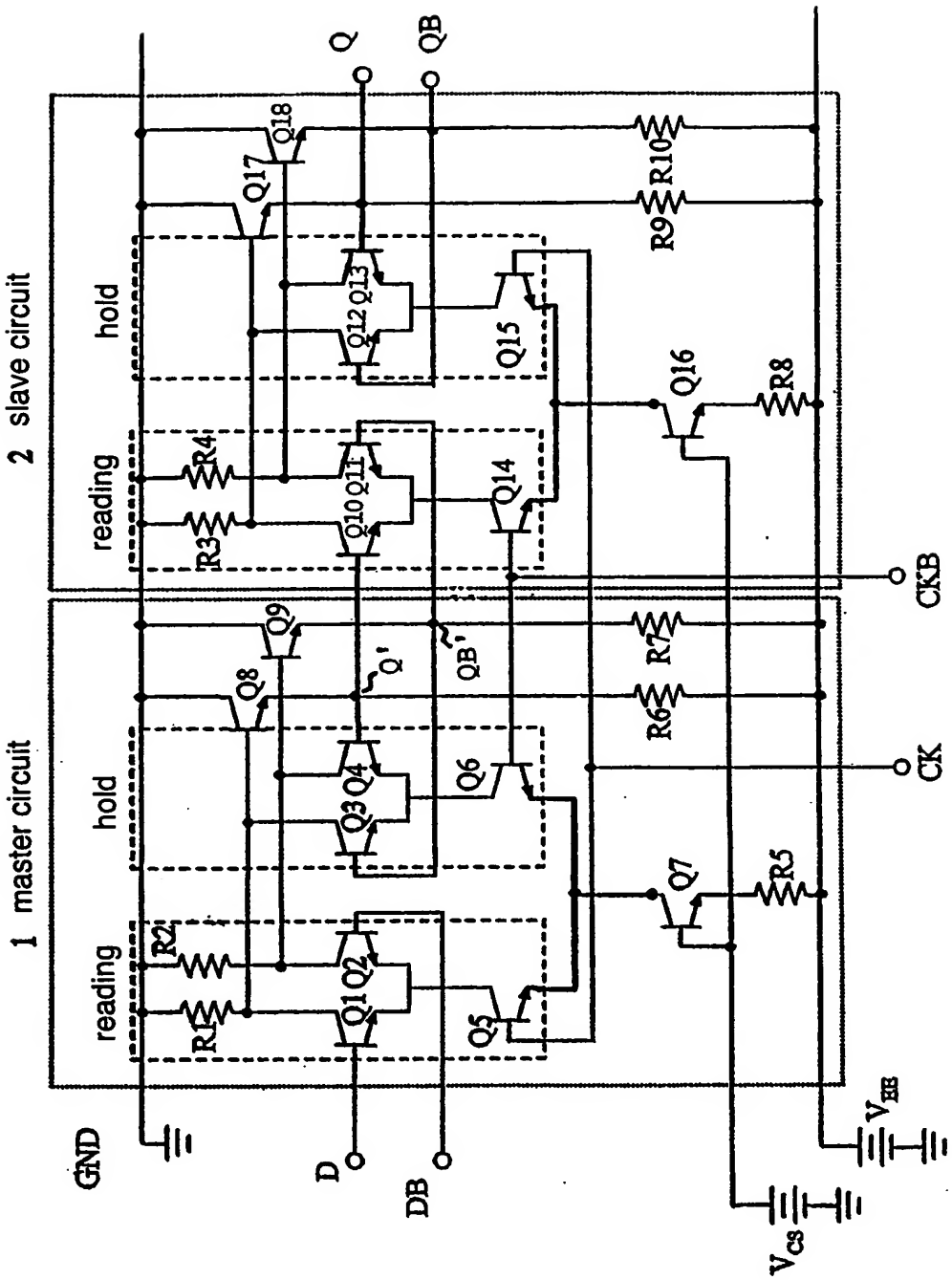

Q
QB
Q18
Q17
R10
R9
2 slave circuit
hold
Q13
Q12
Q15
Q16
R8
reading
R4
Q11
Q10
Q14
R3
CKB
Q9
Q'
QB'
R7
Q8
R6
hold
Q4
Q3
Q6
CK
Q7
R5
1 master circuit
reading
R2
Q2
Q1
R1
Q5
GND
D
DB
V_{EE}
V_{CS}

FIG. 1

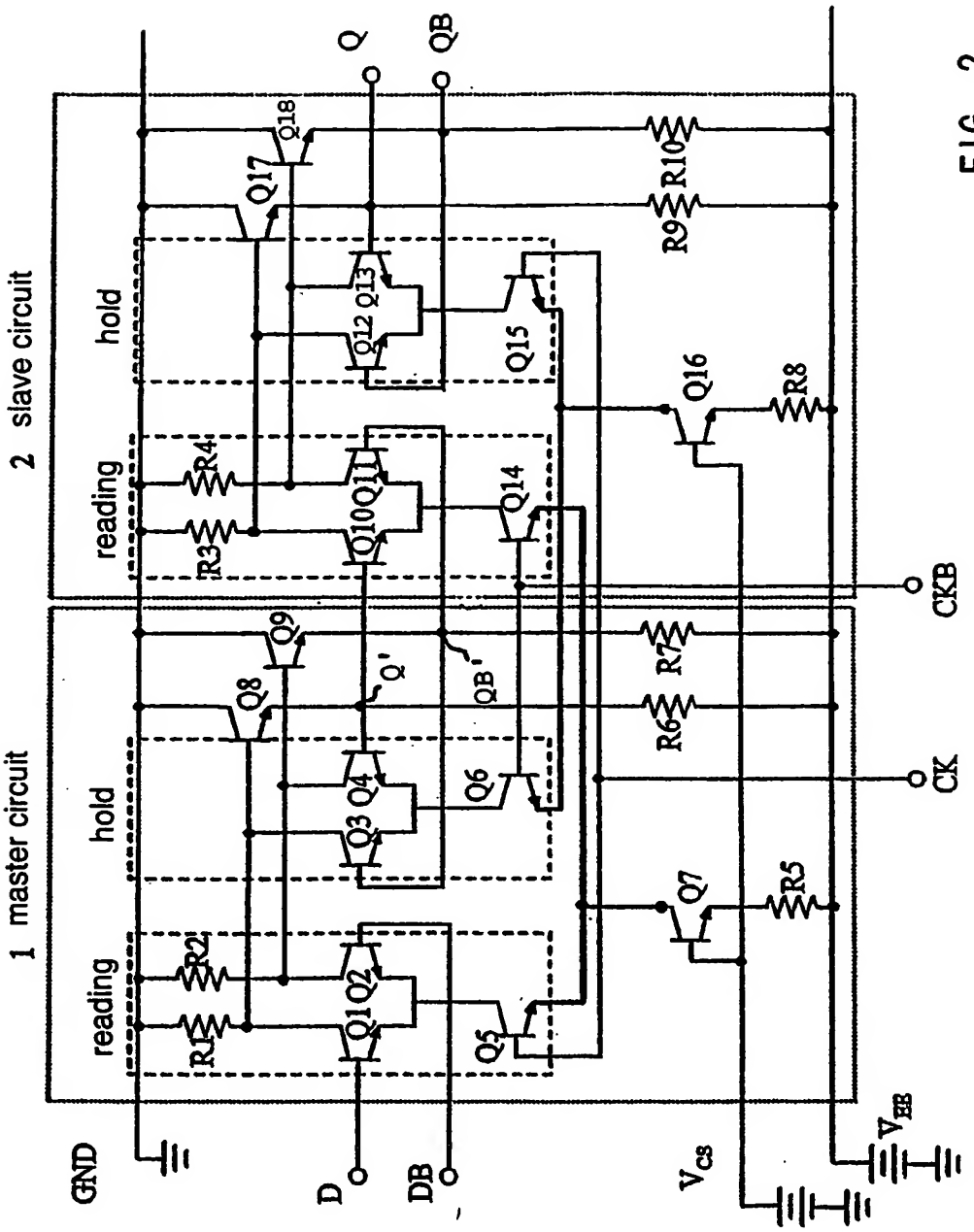

2 slave circuit
hold
reading
1 master circuit
hold
reading
Q
QB
Q18
Q17
R10
R9
Q13
Q12
Q15
Q16
R8
R4
Q11
Q10
Q14
R3
CKB
Q9
Q'
QB'
R7
Q8
R6
Q4
Q6
CK
Q3
Q7
R5
R2
Q2
Q1
Q5
R1
GND
D
DB
V_{CS}
V_{EE}

FIG. 2

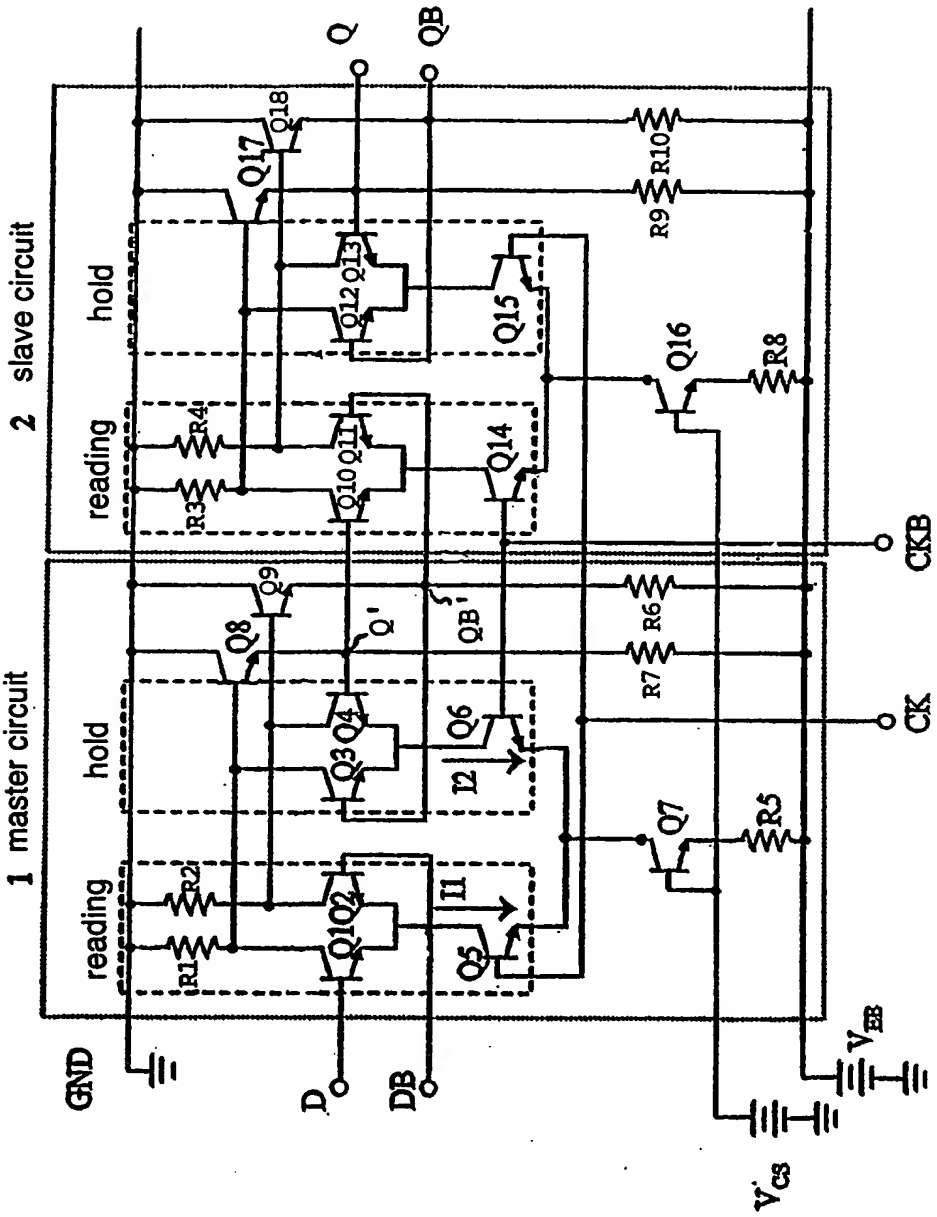
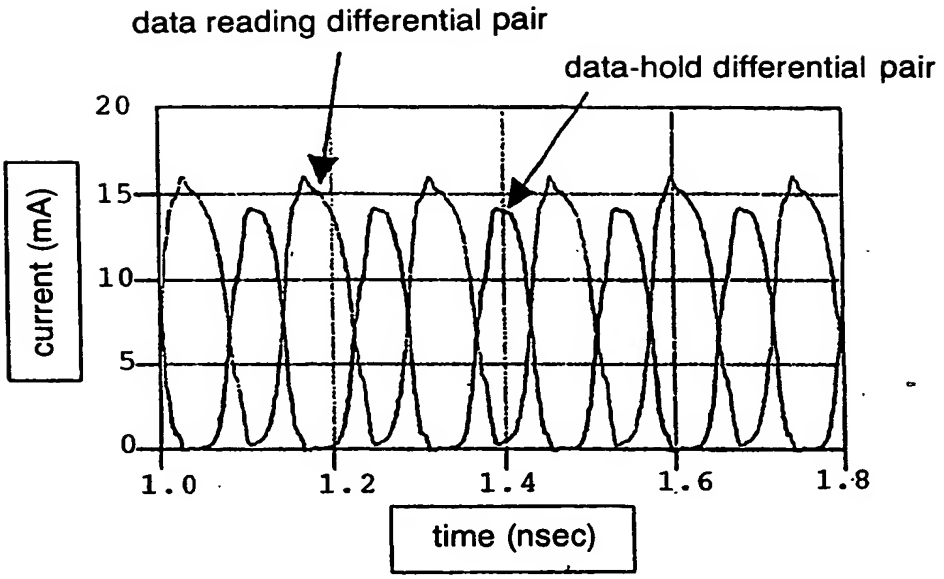


FIG. 3

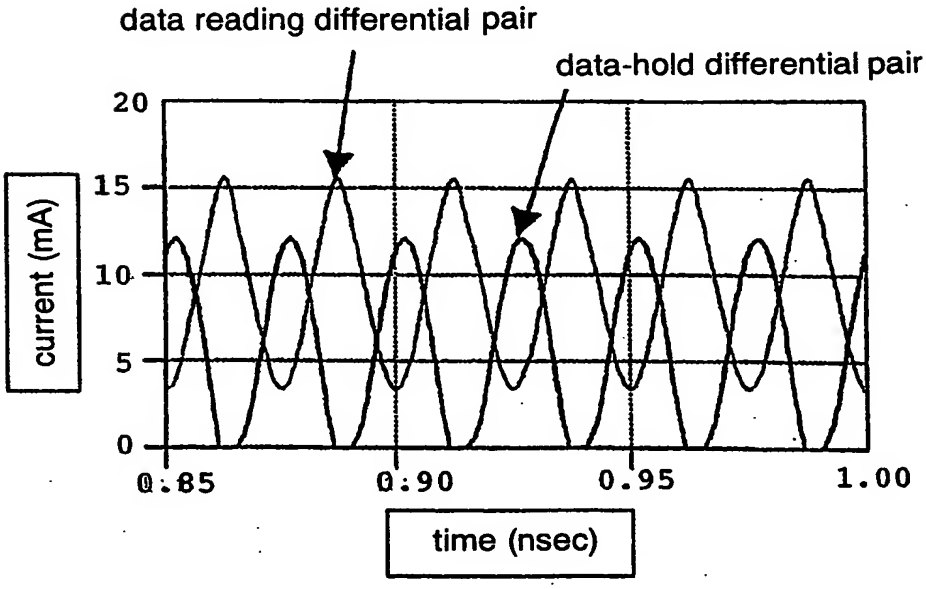
Q1,Q2,Q5,Q7,Q10,Q11,Q14,Q16:2μm×10μm
Q3,Q4,Q6,Q12,Q13,Q15:2μm×5μm

FIG. 4A



low-speed operation

FIG. 4B



high-speed operation

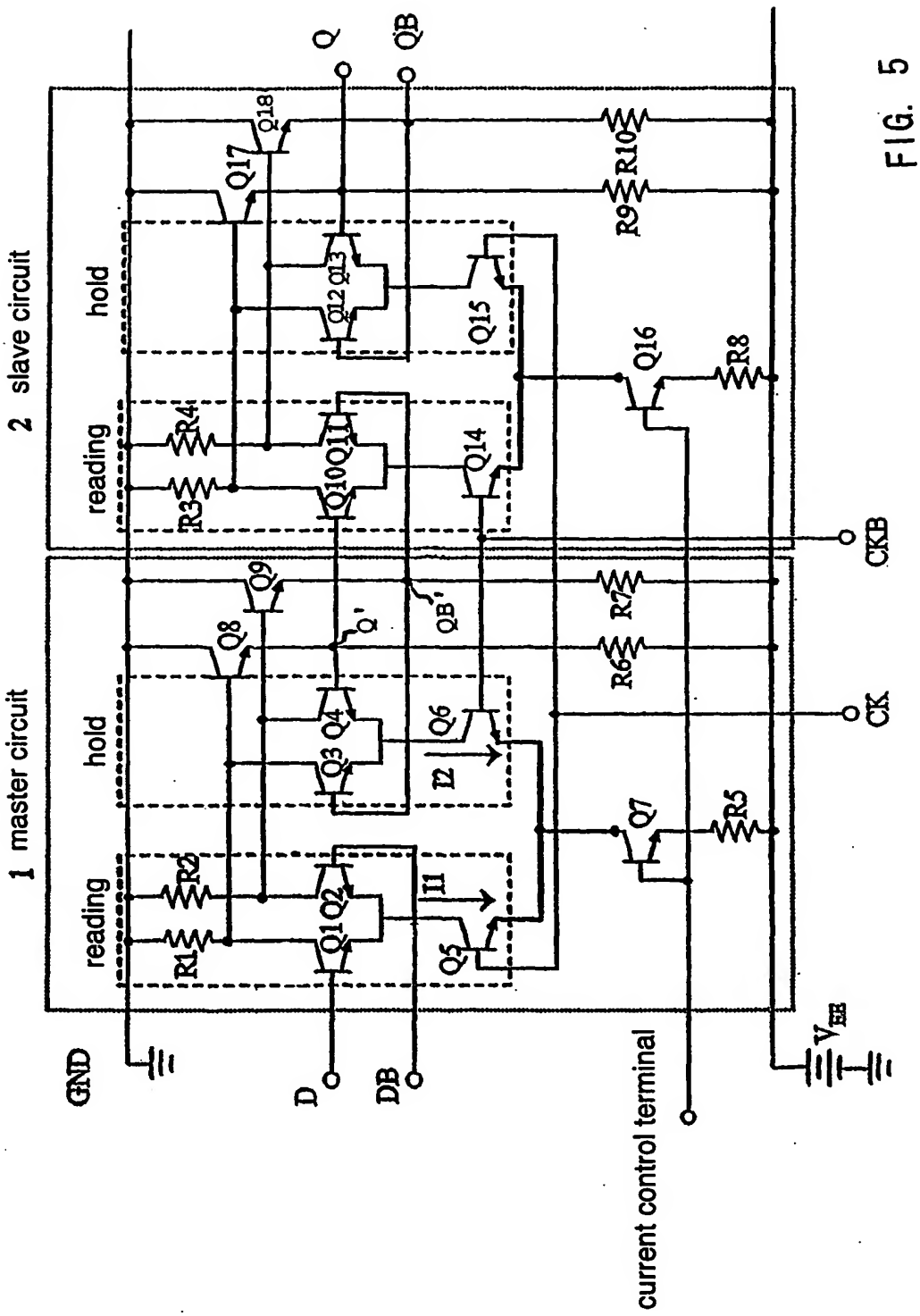
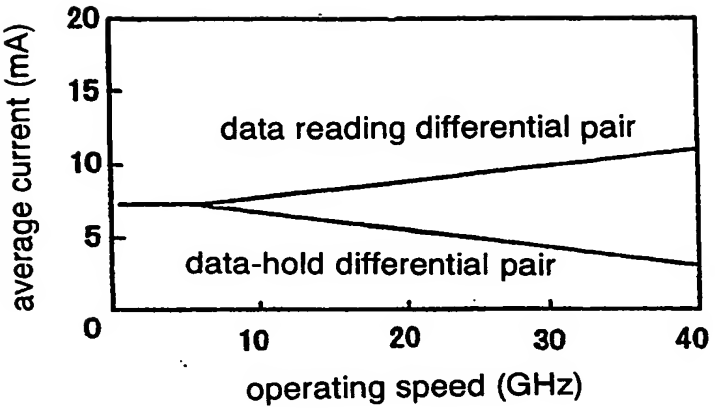

1 master circuit
2 slave circuit
reading
hold
GND
D
DB
Q
QB
CK
CKB
current control terminal
V_{EE}
Q1,Q2,Q5,Q7,Q10,Q11,Q14,Q16:2μm×10μm
Q3,Q4,Q6,Q12,Q13,Q15:2μm×5μm

FIG. 5

FIG. 6


20
15
10
5
0
average current (mA)
data reading differential pair
data-hold differential pair
10
20
30
40
operating speed (GHz)

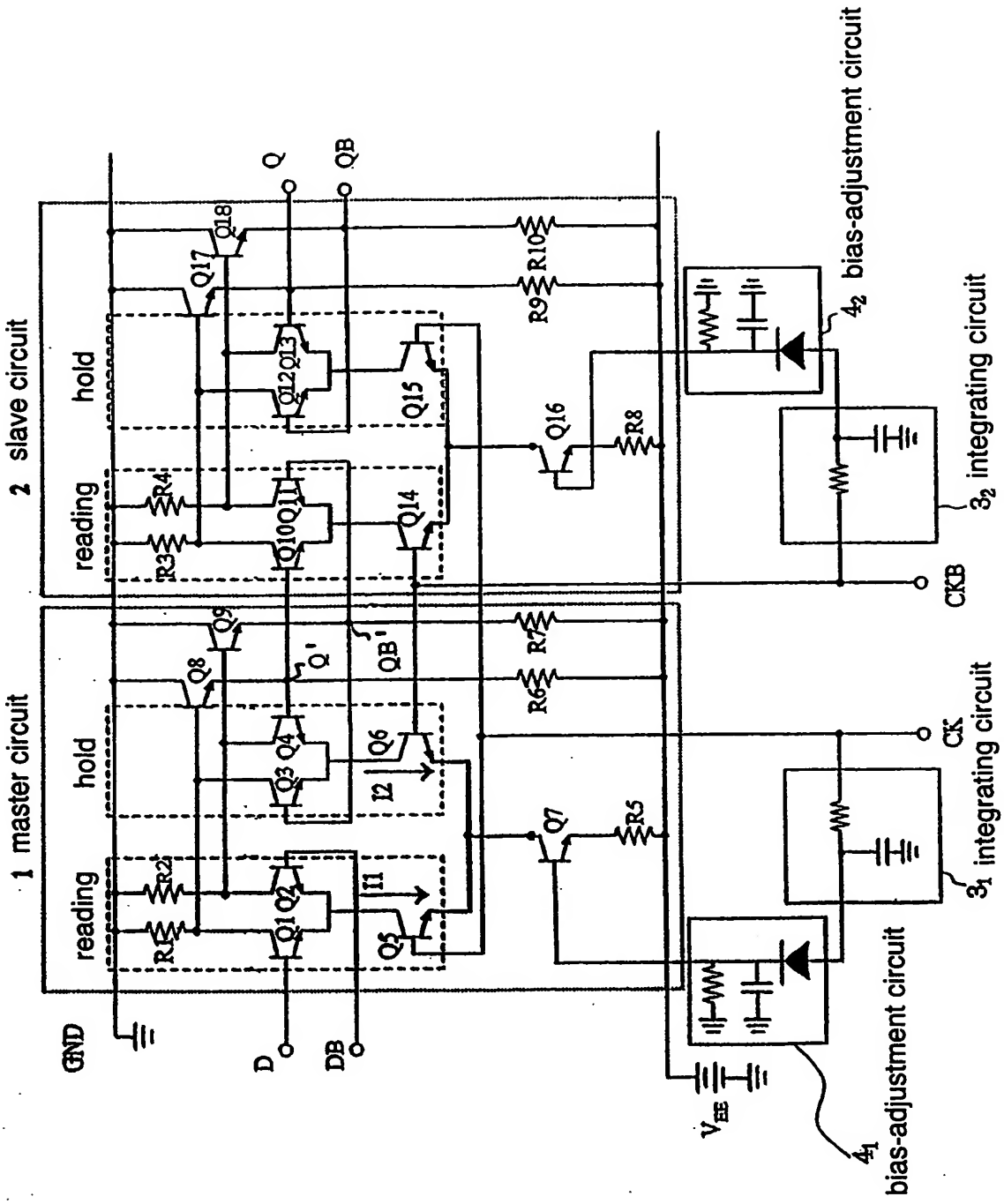
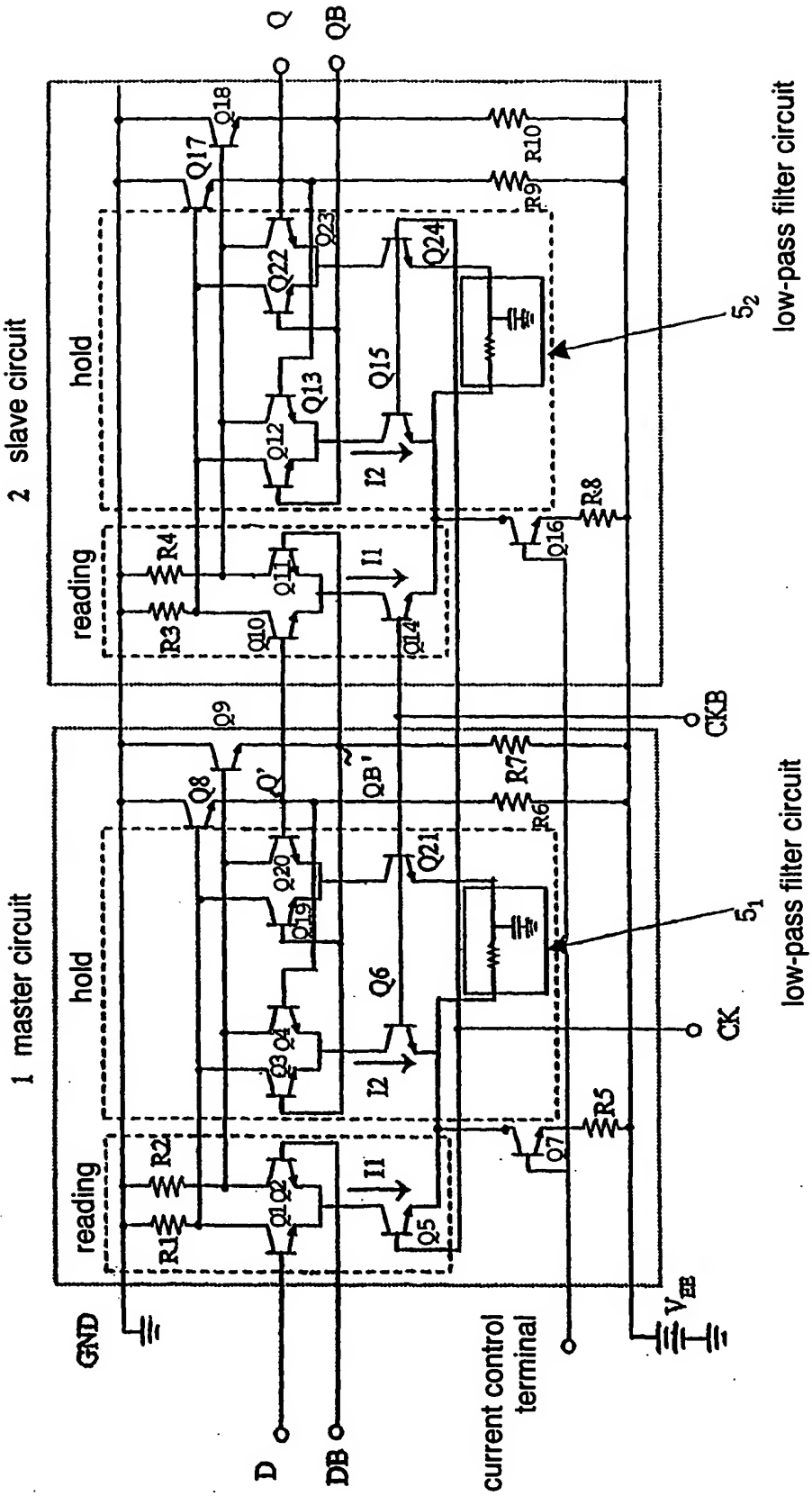

1 master circuit
2 slave circuit
reading
hold
GND
D
DB
Q
QB
CK
CKB
V_{EE}
I1
I2
3_1 integrating circuit
3_2 integrating circuit
4_1 bias-adjustment circuit
4_2 bias-adjustment circuit
Q1,Q2,Q5,Q7,Q10,Q11,Q14,Q16:2μm×10μm
Q3,Q4,Q6,Q12,Q13,Q15:2μm×5μm

FIG. 7



Q1,Q2,Q5,Q7,Q10,Q11,Q14,Q16:2μm×10μm
Q3,Q4,Q6,Q12,Q13,Q15,Q19,Q20,Q21,Q22,Q23,Q24:2μm×5μm

FIG. 8